

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-330520

(P2000-330520A)

(43)公開日 平成12年11月30日(2000.11.30)

(51)Int.Cl.
G 0 9 G 3/36
G 0 2 F 1/133
G 0 9 G 3/20

識別記号
5 4 5
6 1 1
6 2 2

F I
G 0 9 G 3/36
G 0 2 F 1/133
G 0 9 G 3/20

テ-ヨ-ト(参考)
2 H 0 9 3
5 4 5 5 C 0 0 6
6 1 1 C 5 C 0 8 0
6 2 2 D

審査請求 未請求 請求項の数2 O L (全9頁)

(21)出願番号

特願平11-138918

(22)出願日

平成11年5月19日(1999.5.19)

(71)出願人 000006633

京セラ株式会社
京都府京都市伏見区竹田鳥羽殿町6番地

(72)発明者 松元 重人

鹿児島県姶良郡隼人町内999番地3 京セラ株式会社鹿児島隼人工場内

(72)発明者 原 將人

鹿児島県姶良郡隼人町内999番地3 京セラ株式会社鹿児島隼人工場内

(72)発明者 宇佐美 守

鹿児島県姶良郡隼人町内999番地3 京セラ株式会社鹿児島隼人工場内

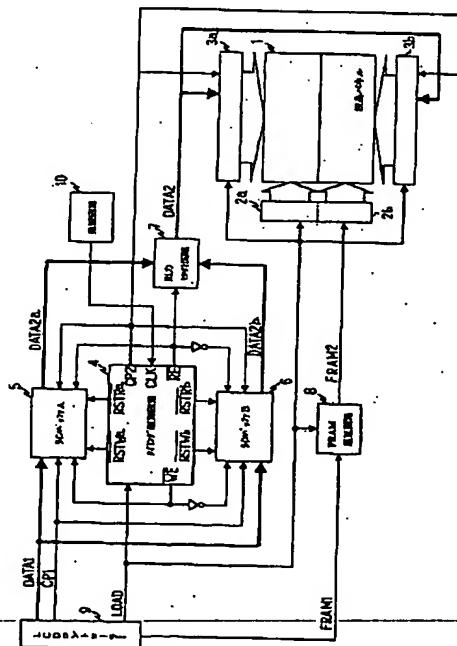
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】走査期間開始タイミングを与えるロード信号とドットクロック信号との重なりを防止して表示品位を改善し、またEMIフィルタの時定数を大きくしてノイズの輻射を抑制すると共に誤動作を防ぐ。

【解決手段】一描画期間の開始タイミングを規定するF RAM1信号と、一走査期間内で信号ドライバに表示データを供給するタイミングを規定するCP1信号とを発生させる制御回路9を有し、制御回路9から伝送されるDATA1を一旦保持するラインバッファA、Bと、CP1信号に非同期でありかつLOAD信号バルス(Hレベル)と重ならないCP2信号を生成し、CP2信号に伴ってラインバッファA、Bに保持されたDATA2a、bを上側信号ドライバ3a、下側信号ドライバ3bに供給するタイミング制御回路4と、FRAM1信号を一走査期間分遅延させるFRAM遅延回路8とを設けた。



【特許請求の範囲】

【請求項1】一描画期間の開始タイミングを規定するフレーム信号と、一走査期間内で信号線駆動回路に表示データを供給するタイミングを規定するドットクロック信号と、走査パルス及び表示データの入力開始タイミングを与えるロード信号とを発生させる制御回路と、前記制御回路から伝送される表示データを一旦保持する記憶手段と、ドットクロック信号に非同期でありかつロード信号パルスと重複しない第二のドットクロック信号を生成し、該第二のドットクロック信号に伴って記憶手段に保持された表示データを信号線駆動回路に供給するタイミング制御回路と、前記フレーム信号を所定走査期間分遅延させる遅延回路とを具備することを特徴とする単純マトリックス型の液晶表示装置。

【請求項2】一描画期間の開始タイミングを規定するフレーム信号と、一走査期間内で信号線駆動回路に表示データを供給するタイミングを規定するドットクロック信号とを発生させる制御回路と、該制御回路と信号線駆動回路との間のドットクロック信号線及び表示データの伝送線上に設けた電磁波障害フィルタと、前記制御回路から伝送される表示データを一旦保持する記憶手段と、ドットクロック信号に非同期でありかつドットクロック信号よりも低周波数の第二のドットクロック信号を生成し、該第二のドットクロック信号に伴って記憶手段に保持された表示データを信号線駆動回路に供給するタイミング制御回路と、前記フレーム信号を所定走査期間分遅延させる遅延回路とを具備することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一走査期間内で信号線駆動回路に表示データを供給するタイミングを規定するドットクロック(CP)信号と、走査期間開始タイミングを与えるロード(LOAD)信号との重なりを防止して表示品位を改善する液晶表示装置、又はEMI(Electromagnetic Interference: 電磁波障害)の原因と成り易いドットクロック信号の周波数を低下させることで、大きな時定数のEMIフィルタを使用可能にし、ノイズの輻射を抑制するものに関する。

【0002】

【従来の技術】従来の単純マトリックス型の液晶表示装置(Liquid Crystal Display: LCD)のブロック回路図を図3に示す。同図において、40は液晶パネルであり、複数の走査線45をガラス等から成る第一の透明基板に形成し、複数の信号線46をガラス等から成る第二の透明基板に形成して、走査線45と信号線46とが対向しつつ直交する状態でネマチック液晶等の液晶層をして、第一の透明基板と第二の透明基板とを接合させた構成であり、液晶パネル40を上下に2分割して分割画面間で同時に走査線45を順次駆動させるものである。

41aは上画面用の走査線駆動回路(以下、上側走査ライバという)、41bは下画面用の走査線駆動回路(以下、下側走査ライバという)、42aは上画面用の信号線駆動回路(以下、上側信号ライバといふ)、42bは下画面用の信号線駆動回路(以下、下側信号ライバといふ)である。

【0003】また、43は制御回路(LCDコントローラ)であり、一画面分の描画開始タイミングを規定するフレーム信号であるFRAM1信号、走査パルスの入力タイミング及び表示データの取り込み及び信号線パルスの入力タイミングを規定するLOAD1信号、上側信号ライバ42a及び下側信号ライバ42b内のシフトレジスタに表示データ(DATA1)を格納するタイミングを規定するドットクロック信号であるCP1信号等を発生する。

【0004】前記LOAD1信号は走査クロックであり、FRAM1信号を走査線数又はそれ以上で分割した制御信号で、走査ライバ及び信号ライバの両方に供給される。上側走査ライバ41a及び下側走査ライバ41bに伝送されたLOAD1信号は、その立ち上がりで走査開始タイミングを与え、走査パルスを次の走査線45に順次シフトしていくシフトクロックとして機能する。一方、上側信号ライバ42aと下側信号ライバ42bに伝送されたLOAD1信号は、上側信号ライバ42aと下側信号ライバ42b内のシフトレジスタに格納されている表示データを信号線に出力するクロックとして機能する。CP1信号は各画素用の個々の表示データをシフトレジスタに格納するタイミングを規定するドットクロック信号であり、各表示データDATA1をその立ち上がりで捉え、上側信号ライバ42aと下側信号ライバ42b内のシフトレジスタに格納していく働きを有する。

【0005】また、図8は他の従来例を示し、制御回路43と上側信号ライバ42a、下側信号ライバ42bとの間のドットクロック信号線(CP1信号線)及び表示データ(DATA1)の伝送線上にEMIフィルタ44を設けたものである。このEMIフィルタ44は、ノイズ源と成り得るCP1信号線とDATA1伝送線に設けられる。

【0006】

【発明が解決しようとする課題】しかしながら、図3に示した従来のLCDにおいて、制御回路から出力されるLOAD信号等の制御信号、CP1信号等が、信号ライバ及び走査ライバへの入力タイミングがずれ、表示画像がきわめて劣化する場合があった。例えば図5に示すように、LOAD信号とCP1信号が重なっている期間51が存在する場合、LOAD信号の立ち上がりで表示データをリセット(消去)するタイプの信号ライバにおいては、表示データが一部消去され表示品位が非常に低下するといった問題があった。

【0007】また、図8のような従来のLCDにおいて、近年、制御回路43にTV画像、CRT(Cathode Ray Tube: 陰極線管)画像も表示可能なサイマルスキャンモードを用いており、この場合CRT画像用のドットクロック信号とLCD用のドットクロック信号との整合性を取る必要があり、そのためCP1信号のデューティーが崩れてしまう。図9に示すように、CRT画像用のドットクロック信号(CRT-CLK)は、その1パルスでRGBの各データを1セットにした3ビットの表示データをパラレルに出力するのに対し、LCD用のドットクロック信号(CP1信号)は8ビットで1セットの表示データを取り込んでいる。そして、サイマルスキャンモードにより、LCD画面にCRT画像を同時に表示しようとすれば、制御回路43はCRT画像用のRGBデータを8回取り込む間に、8ビットのデータD0~7を3回出力することで整合をとっている。

【0008】従って、CP1信号のように中央のパルスの幅が小さくなり、又はCP1a信号のようなドットクロック信号を使用した場合3つ目のパルスの幅が小さくなり、更にはCP1b信号のようなドットクロック信号を使用した場合全部のパルスの幅が小さくなる。つまり、CP1信号のデューティーが崩れることになる。

【0009】故に上記従来例では、EMIフィルタ44の時定数を大きくしてノイズの輻射を抑制しようとした場合、上述した如く制御回路43から供給されるCP1信号の周期が一定でないために、図10に示すようにCP1信号のうちパルス幅の狭いものの波高値が低下し誤動作の原因になるといった問題があった。また、図10のFRAM1、CP1のように、CP1の休止期間31を長くとる場合があり、その場合CP1信号が走査期間の中央に圧縮されるため周波数が高くなり、その結果上記問題が顕著に現れることがあった。

【0010】従って、本発明は上記事情に鑑みて完成されたものであり、その目的は、ドットクロック信号の周波数を高周波側に可変とすることで、走査期間開始タイミングを与えるLOAD信号等とドットクロック信号との重なりを防止して表示品位を改善し、また、フレーム周波数を低下させずにドットクロック信号の周波数を下げ且つその周期を一定とすることで、EMIフィルタの時定数を大きくしてノイズの輻射を抑制すると共に、誤動作を防ぐことにある。

【0011】

【課題を解決するための手段】本発明の単純マトリックス型の液晶表示装置は、一描画期間の開始タイミングを規定するフレーム信号と、一走査期間内で信号線駆動回路に表示データを供給するタイミングを規定するドットクロック信号と、走査パルス及び表示データの入力開始タイミングを与えるロード信号とを発生させる制御回路と、前記制御回路から伝送される表示データを一旦保持する記憶手段と、ドットクロック信号に非同期でありか

つロード信号パルスと重複しない第二のドットクロック信号を生成し、該第二のドットクロック信号に伴って記憶手段に保持された表示データを信号線駆動回路に供給するタイミング制御回路と、前記フレーム信号を所定走査期間分遅延させる遅延回路とを具備することを特徴とする。

【0012】本発明は、上記構成により、走査期間開始タイミングを与えるLOAD信号のパルス(Hレベル)とドットクロック信号との重なりを防止することで、LOAD信号の立ち上がりで表示データをリセット(消去)する信号ドライバにおいて表示品位がきわめて劣化するという問題を解消する。

【0013】また本発明において、好ましくは、ドットクロック信号よりも第二のドットクロック信号の周波数を高周波化することで、第二のドットクロック信号がロード信号パルスと重複しないように制御する。

【0014】また、本発明の単純マトリックス型の液晶表示装置は、一描画期間の開始タイミングを規定するフレーム信号と、一走査期間内で信号線駆動回路に表示データを供給するタイミングを規定するドットクロック信号とを発生させる制御回路と、該制御回路と信号線駆動回路との間のドットクロック信号線及び表示データの伝送線上に設けた電磁波障害フィルタと、前記制御回路から伝送される表示データを一旦保持する記憶手段と、ドットクロック信号に非同期でありかつドットクロック信号よりも低周波数の第二のドットクロック信号を生成し、該第二のドットクロック信号に伴って記憶手段に保持された表示データを信号線駆動回路に供給するタイミング制御回路と、前記フレーム信号を所定走査期間分遅延させる遅延回路とを具備することを特徴とする。

【0015】本発明は上記構成により、ドットクロック信号の周波数を下げ且つその周期を一定とすることで、EMIフィルタの時定数を大きくしてノイズの輻射を抑制することができると共に、EMIフィルタの時定数が大きくなることでドットクロック信号の波高値が低下して誤動作が生じるのを防ぐという作用効果がある。

【0016】

【発明の実施の形態】本発明のLCDについて以下に説明する。図1は本発明の単純マトリックス型のLCDのブロック回路図である。同図において、1は液晶パネルであり、画面を上画面と下画面とに2分割して同時並列的に描画する構成である。また、2aは上側走査ドライバ、2bは下側走査ドライバ、3aは上側信号ドライバ、3bは下側信号ドライバ、4は各種制御信号及び新たなドットクロック信号(CP2信号)を発生するタイミング制御回路、5、6は表示データ(DATA1)を一旦保持する記憶手段としてのラインバッファA、B、7はラインバッファA、Bの出力を切り換える出力セレクト回路である。また、8はフレーム(F.R.A.M.)信号を一走査期間後にずらす遅延回路であるFRAM遅延回

路、9は制御回路（LCDコントローラー）、10はタイミング制御回路4に初期的な1次クロック信号を供給する発振回路である。

【0017】次に、図1のLCDの動作について説明する。図2は本発明のLCDの各種駆動信号及び制御信号のタイミングチャートである。図2において、FRAM1信号はフレーム信号であり、一画面描画開始及び1ライン目の走査線の走査開始タイミングを規定する信号である。LOAD信号は、走査線駆動用のシフトクロックであり各走査線の走査開始タイミングを与え、LOAD信号の立ち下がりから次のLOAD信号の立ち下がりまでが一走査期間になる。また、LOAD信号は、上側信号ドライバ3a及び下側信号ドライバ3bに伝送されて、シフトレジスタに対する表示データのラッチ開始タイミングを与える。

【0018】CP1信号は各画素用の表示データをシフトレジスタに格納するタイミングを規定するドットクロック信号であり、本来、シリアルに送られてくる表示データをその立ち下がりで捉え、上側信号ドライバ3a及び下側信号ドライバ3b内のシフトレジスタに順次格納させるように機能する。しかしながら、本発明においては、CP1信号は、ラインバッファA、Bに表示データ（DATA1信号）を書き込むためのクロックとして用いている。WE—（—；反転状態のパルスを意味する）信号はラインバッファA、Bへの表示データの書き込みサイクルを規定する信号であり、H（High）レベル又はL（Low）レベルのときにラインバッファA又はラインバッファBへの書き込みを許可する。即ち、期間216でラインバッファAへの書き込みを行い、期間217でラインバッファBへの書き込みを行う。また、WE—信号はLOAD信号を基にタイミング制御回路4で生成される。

【0019】RSTWa—信号及びRSTWb—信号はそれぞれラインバッファA、Bのライトリセット（WRITERESET）信号であり、ラインバッファA、Bのライトアドレスレジスタをイニシャライズ（初期化）する。これらの信号も、WE—信号と同様にLOAD信号を基にタイミング制御回路4で生成される。第二のドットクロック信号であるCP2信号は、CP1信号に非同期なドットクロック信号であり、発振回路10からの1次クロック信号を基にタイミング制御回路4で生成され、表示データ（DATA2）を上側信号ドライバ3a及び下側信号ドライバ3bに取り込む働きをする。また、CP2信号は、ラインバッファA、Bから表示データ（DATA2a、DATA2b）を読み出すためのリードクロックとしても用いる。

【0020】RE—信号は、ラインバッファA、Bの表示データ（DATA2a、DATA2b）の読み出しサイクルを規定する信号であり、Hレベル又はLレベルのときにラインバッファA又はラインバッファBからの読

み出しを許可する。即ち、期間218でラインバッファAの表示データ（DATA2a）を読み出し、期間219でラインバッファBの表示データ（DATA2b）を読み出す。また、出力セレクト回路7の出力スイッチとしての機能も有している。即ち、期間218でDATA2aを出力し、期間219でDATA2bを出力することで、一連のDATA2信号を生成する。また、RE—信号はLOAD信号を基にタイミング制御回路4で生成される。

【0021】RSTRa—信号及びRSTRb—信号は、それぞれラインバッファA、Bのリードリセット（READRESET）信号であり、ラインバッファA、Bのリードアドレスレジスタをイニシャライズする。これらの信号も、RE—信号と同様にLOAD信号を基にタイミング制御回路4で生成される。またFRAM2信号は、FRAM遅延回路8によってFRAM1信号を一走査期間分後に遅延したものである。

【0022】そして、図4は上記実施形態における主な制御信号のタイミングチャートである。従来、LOAD

20 信号先頭部とCP1信号後端部が重なる期間21が存在する場合があり、この場合にLOAD信号の立ち上がりで内部のシフトレジスタに取り込んだ表示データをリセット（消去）する信号ドライバであれば、映像表示が著しく劣化する。これに対し、本実施形態では、LOAD信号パルス（Hレベル）とドットクロック信号との重複しないように、ドットクロック信号（CP2信号）の発生期間をLOAD信号パルス間に設定する。それによって表示データを取り込むタイミングを規定しているので、LOAD信号の立ち上がりで表示データをリセットする信号ドライバを用いたものであっても表示品位を良好に保持できる。また、CP2信号の周波数をCP1信号よりも高周波化することにより、上記効果を得ることもできる。

【0023】そして、前記CP2信号の周波数について、SVGA（Super Video Graphics Array：画素数=水平方向800×3（RGB）×垂直方向600ドット）、デュアルスキャン（2分割駆動）、フレーム周波数=120Hzの場合、CP2信号の周波数は11.2MHz～20MHzとするのが良く、11.2MHz未満ではCP2信号とLOAD信号がタイミング的に重なってしまい、20MHzを超えると信号ドライバの適切な駆動周波数の最大値を超えて信号ドライバの駆動が困難になる。尚、上記下限値の11.2MHzは、{（水平方向のドット数）×3/8} / (LOAD信号のHレベル幅) = 800×3/8/26.8(μs) = 11.2(MHz)から導出されたものである。また、CP1信号の周波数はCP2信号と同程度、又は最低で10.8MHz程度である。

【0024】このように本発明は、LOAD信号パルス（LOAD信号のHレベル）とドットクロック信号とが

重複しない範囲内であれば、CP2信号の発生期間をLOAD信号パルス間で自在に設定することができる。また図4に示すように、CP2信号と表示データ(DAT A2)とのタイミングも上記範囲内で自在に設定できるため、データストローブ期間22やデータホールド期間23も信号ドライバ側の入力規定に合致するよう自在に制御できる。従って、本発明のLCDは、LOAD信号パルスとドットクロック信号とが重複しないように制御することで、種々の信号ドライバに対し表示データを問題なく入力することができる。

【0025】また本実施形態では、記憶手段としてラインバッファA、Bを使用しており、その場合FRAM2信号をFRAM1信号に対して一走査期間分遅延させることになる。しかしながら、本発明では遅延期間を一走査期間に限定するものではなく、表示に差し支えない範囲内で二走査期間以上遅延させても構わない。

【0026】本発明の第2の発明の実施形態を図6に示す。同図のLCDは図1のものと主要部が共通しており、図1と同じ部位には同一符号を付しその説明は省略する。図6で、11はノイズ源と成り得るCP1信号ライン、CP2信号ライン、DATA1信号ライン、DATA2a信号ラインの各々に挿入されたEMIフィルタ(太陽誘電株式会社製の積層チップEMI除去フィルタ「Tシリーズ」等)である。前記EMIフィルタ11について、例えば等価回路(図示せず)は、その入力端子と出力端子間に2つのコイル等のインダクタンス成分を直列に接続し、それら2つのインダクタンス成分間の接続線と接地との間にコンデンサ等のキャパシタンス成分を接続した構成であり、前記インダクタンス成分のL、キャパシタンス成分のCを調整することでEMIフィルタ11の時定数を制御できる。

【0027】また、図7は図6のLCDの各種駆動信号及び制御信号のタイミングチャートであり、CP2信号の周波数がCP1信号よりも低周波数となっている。この例では、従来CP1信号の周波数が15MHz程度であったのに対し、前記CP2信号の周波数について、SVGA(Super Video Graphyics Array:画素数=水平方向800×3(RGB)×垂直方向600ドット)、デュアルスキャン(2分割駆動)、フレーム周波数=120Hzの場合、CP2信号の周波数は1.1.2MHz～1.3MHz程度にするのが良い。1.1.2MHz未満では、一走査期間に所望のクロックパルス数を出力できなくなり、1.3MHzを超えるとEMIフィルタのノイズ抑制効果が低下する。

【0028】図10は上記実施形態における主な制御信号のタイミングチャートである。一般に、カラー表示及びサイマルスキャンモードで表示する場合、CP1信号の波形は図9に示すように一定周期にはならず、パルス幅が広いものと狭いものが混在した波形になっている。

そのため、ノイズの輻射を抑制しようとして時定数の大

きなEMIフィルタを使用した場合、パルス幅の狭いCP1信号の波高値が低下し誤動作の原因となっていた。また、CP1信号の休止期間31を長くとった制御回路を使用した場合、前記誤動作が顕著になっていた。そこで、本発明では低周波数のCP2信号を新たに生成し、CP2信号の休止期間32も自在に設定できるので、フレーム周波数を低下させずにCP2信号の周波数を限度いっぱいに低下させ、かつ一定周期の波形にするよう制御できる。よって、大きな時定数のEMIフィルタを使用してノイズの輻射を抑制することができる。

【0029】また本実施形態でも、記憶手段としてラインバッファA、Bを使用しており、その場合FRAM2信号をFRAM1信号に対して一走査期間分遅延させることになる。しかしながら、本発明では遅延期間を一走査期間に限定するものではなく、表示に差し支えない範囲内で二走査期間以上遅延させても構わない。

【0030】本発明は単純マトリックス型のLCDに適用され、STN(Super Twisted Nematic)型LCD、TN(Twisted Nematic)型LCD、強誘電性液晶型LCD、反強誘電性液晶型LCD、双安定性液晶型LCD等に適用できる。また、図1及び図6では2分割駆動するタイプについて示したが、本発明はこれに限らず、分割駆動しないタイプ、3分割以上に分割駆動するタイプにも適用できることはいうまでもない。

【0031】また本発明は、上述した如く制御回路9と液晶パネル1との間にタイミング制御回路4等を追加することを特徴としており、従って基本的には制御回路9はLCDの外部に設け、タイミング制御回路4等をLCDに内蔵させた構成である。勿論、制御回路9及びタイミング制御回路4等を共にLCDに内蔵しても構わない。

【0032】かくして、本発明は、LOAD信号パルスとドットクロック信号とが重ならないように制御することで、LOAD信号の立ち上がりで表示データをリセットするLCDであっても良好な表示が可能になる。また、カラー画像かつサイマルスキャンモードで表示する場合、CP1信号よりも低周波数のCP2信号を新たに生成し、CP2信号の休止期間32も自在に設定できるので、フレーム周波数を低下させずにCP2信号の周波数を低下させ、かつ一定周期の波形にするよう制御でき、その結果大きな時定数のEMIフィルタを使用してノイズの輻射を抑制することができる。

【0033】尚、本発明は上記の実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲内で種々の変更は何等差し支えない。

【0034】

【発明の効果】本発明は、制御回路から伝送される表示データを一旦保持する記憶手段と、ドットクロック信号に非同期でありかつローード信号パルスと重複しない第二のドットクロック信号を生成し、第二のドットクロック

信号に伴って記憶手段に保持された表示データを信号線駆動回路に供給するタイミング制御回路と、フレーム信号を所定走査期間分遅延させる遅延回路とを設けたことにより、ロード信号パルスとドットクロック信号とが重ならないように制御することで、ロード信号の立ち上がりで表示データをリセットするLCDであっても良好な表示品位とすることが可能になる。

【0035】また本発明は、制御回路と信号線駆動回路との間のドットクロック信号線及び表示データの伝送線上に電磁波障害フィルタを設け、制御回路から伝送される表示データを一旦保持する記憶手段と、ドットクロック信号に非同期でありかつドットクロック信号よりも低周波数の第二のドットクロック信号を生成し、第二のドットクロック信号に伴って記憶手段に保持された表示データを信号線駆動回路に供給するタイミング制御回路と、フレーム信号を少なくとも一走査期間分遅延させる遅延回路とを設けたことにより、カラー画像及びサイマルスキヤンモードで表示する場合、CP1信号よりも低周波数のCP2信号を新たに生成し、CP2信号の休止期間を自在に設定できるので、フレーム周波数を低下させずにCP2信号の周波数を限度いっぱいに低下させ、かつ一定周期の波形にするよう制御でき、その結果大きな時定数のEMIフィルタを使用してノイズの輻射を抑制することができる。

【図面の簡単な説明】

【図1】本発明のLCDの基本構成のブロック回路図である。

【図2】図1のLCDに入力する各種制御信号及び駆動信号のタイミングチャートである。

【図3】従来のLCDの基本構成のブロック回路図である。

* 【図4】従来のFRAM1信号、LOAD信号、CP1信号、及び本発明のFRAM2信号、LOAD信号、CP2信号等のタイミングを示すタイミングチャートである。

【図5】従来のLOAD信号とCP1信号との重なりを説明するタイミングチャートである。

【図6】本発明のEMIフィルタを有するLCDの基本構成のブロック回路図である。

【図7】図6のLCDに入力する各種制御信号及び駆動信号のタイミングチャートである。

【図8】従来のEMIフィルタを有するLCDの基本構成のブロック回路図である。

【図9】図8のLCDにおいて、カラー画像表示する場合にドットクロック信号のパルス幅が一定しないことを説明するタイミングチャートである。

【図10】従来のFRAM1信号、LOAD信号、CP1信号と、本発明のFRAM2信号、LOAD信号、CP2信号のタイミング、及び従来のCP1信号と本発明のCP2信号の波形を示すタイミングチャートである。

20 【符号の説明】

1：液晶パネル

2a：上側走査ドライバ

2b：下側走査ドライバ

3a：上側信号ドライバ

3b：下側信号ドライバ

4：タイミング制御回路

5：ラインパッファA

6：ラインパッファB

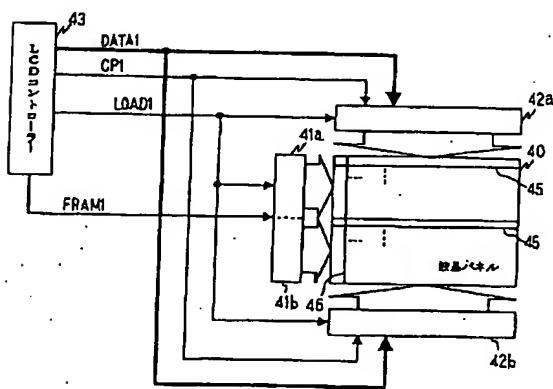
7：出力セレクト回路

8：FRAM遅延回路

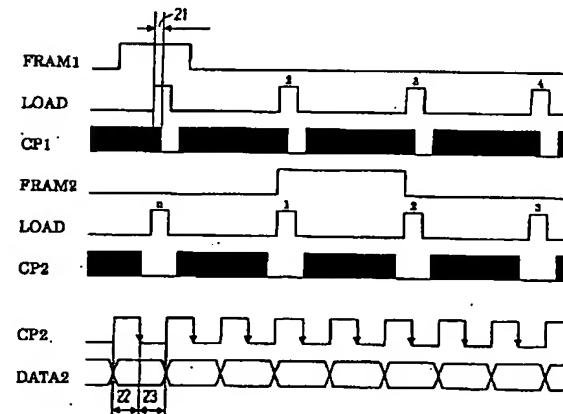
9：制御回路

*

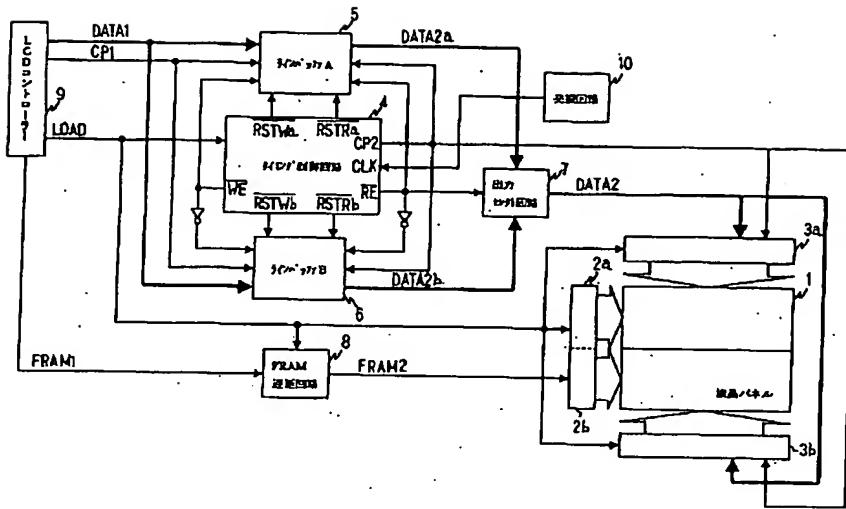
【図3】



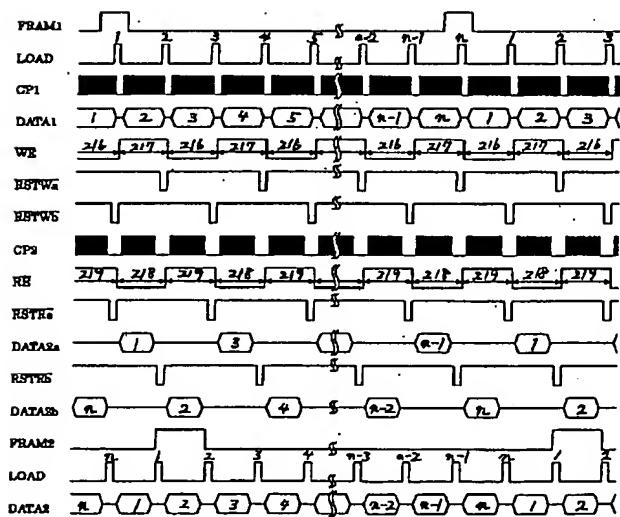
【図4】



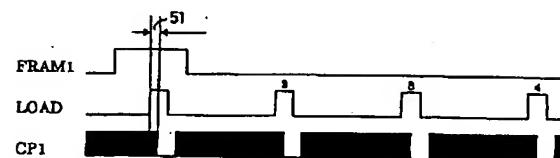
[図1]



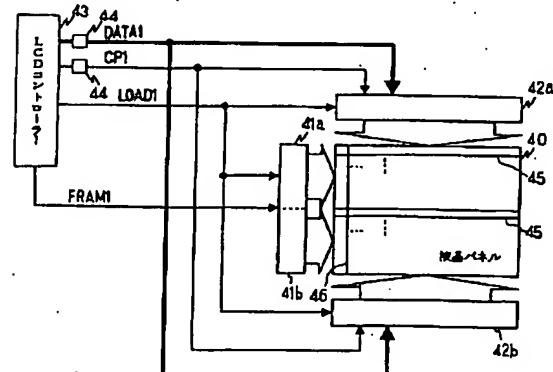
[図2]



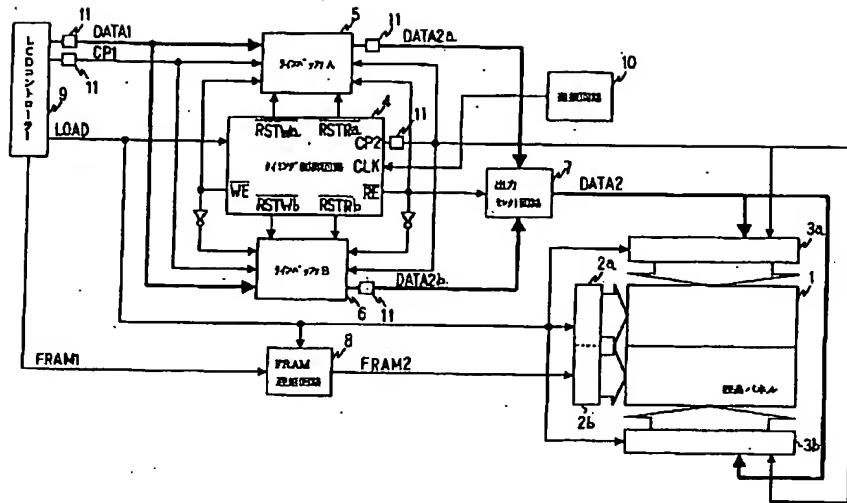
[図5]



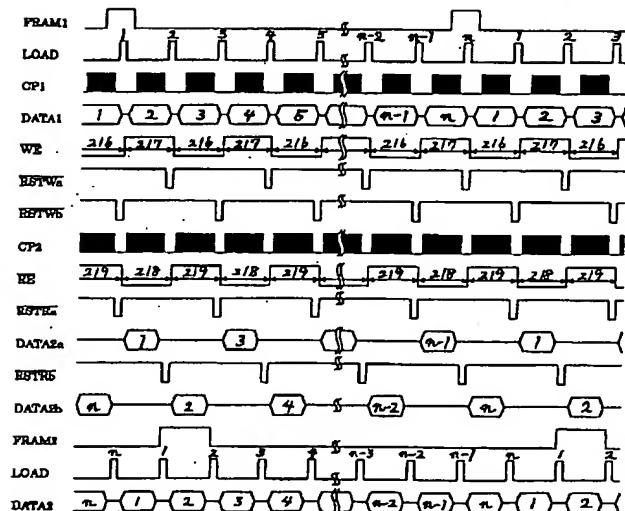
[図8]



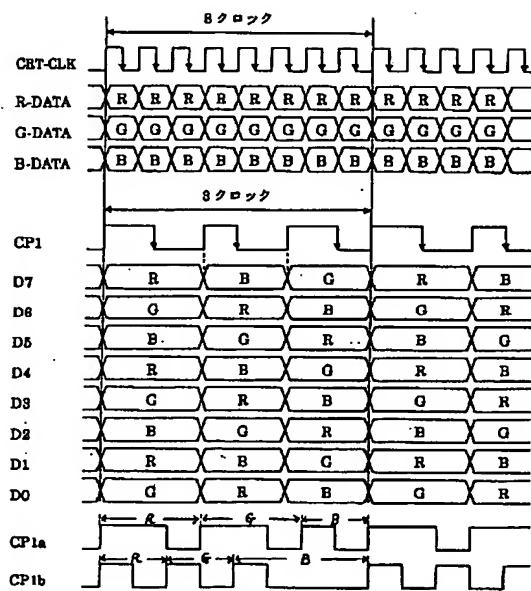
【図6】



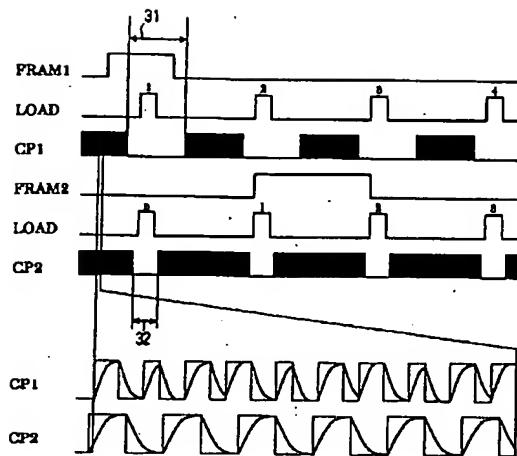
【図7】



【図9】



【図10】



フロントページの続き

F ターム(参考) 2H093 NA06 NA22 NA43 NC22 NC26
NC81 NC90 ND34 ND60 NF05
NF13 NF17 NF20 NH15
5C006 AF72 BB12 BB14 BF05 BF07
BF21 BF26 FA16 FA32
5C080 AA10 BB05 BB06 DD12 EE19
EE29 FF12 JJ02 JJ04